

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-076479

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

G06T 15/00

G06T 15/50

(21)Application number : 10-249727

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 03.09.1998

(72)Inventor : KOIDO YASUHIRO
MATSUI YOSHITAKA

(54) IMAGE GENERATING DEVICE AND IMAGE GENERATING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image generating device and its method by which the load on a 3DCG plotting engine is reduced.

SOLUTION: A pixel processing part 1 inputs three-dimensional coordinate data of an object to be plotted and outputs pixel information which is transformed into that on a two-dimensional coordinate while erasing an hidden surface. A shadow generating register 2 preserves a shadow generating parameter which is set from an external side and outputs the preserved parameter by a request from a shadow generating circuit 3. The circuit 3 input pixel information which is transformed into that on the two-dimensional coordinate from a pixel processing part 1 and generates shadow pixel information. The shadow pixel information is synthesized with pixel information which is inputted from the image processing part 1 and is transformed into that on the two-dimensional coordinate and pixel information is outputted to a memory controller 4. The memory controller 4 temporarily holds pixel information which is outputted from the shadow generating circuit 3 and outputs it to a frame memory 5. The frame memory 5 holds image information for the portion of one screen.



LEGAL STATUS

[Date of request for examination] 03.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2938064

[Date of registration] 11.06.1999

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-76479
(P2000-76479A)

(43)公開日 平成12年3月14日(2000.3.14)

(51)Int.Cl.⁷

G 0 6 T 15/00
15/50

識別記号

F I

G 0 6 F 15/72

テーマコード(参考)

4 5 0 A 5 B 0 8 0
4 6 5

審査請求 有 請求項の数6 O L (全 7 頁)

(21)出願番号

特願平10-249727

(22)出願日

平成10年9月3日(1998.9.3)

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 小井土 尉宏

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74)代理人 100070219

弁理士 若林 忠 (外4名)

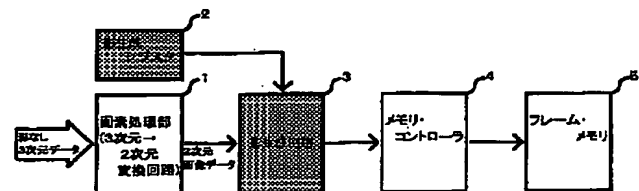
最終頁に続く

(54)【発明の名称】 画像生成装置及びその画像生成方法

(57)【要約】

【課題】 3DCG描画エンジンへの負荷を低減させる
画像生成装置及びその画像生成方法を提供する。

【解決手段】 画素処理部1は、描画対象オブジェクト
の3次元座標データを入力し、隠面消去を行いながら、
2次元座標に変換された画素情報を出力する。影生成レ
ジスタ2は、外部から設定される影生成パラメータを保
存し、影生成回路3の要求により、保存しているパラメ
ータを出力する。影生成回路3は、画素処理部1から2
次元座標に変換された画素情報を入力し、影の画素情報
を生成する。この影の画素情報を画素処理部1から入力
した2次元に変換された画素情報と合成し、メモリ・コ
ントローラ4に画素情報を出力する。メモリ・コントロ
ーラ4は、影生成回路3から出力された画素情報を一時
保持し、フレーム・メモリ5へ出力する。フレーム・メ
モリ5には、1画面分の画像情報が保持される。



【特許請求の範囲】

【請求項1】 描画対象オブジェクトの3次元座標データを入力し、隠面消去を行いながら、2次元座標に変換された画素情報を出力する画素処理部と、

外部から設定される影生成パラメータを保存し、影生成回路の要求により、保存している前記影生成パラメータを出力する影生成レジスタと、

前記画素処理部から前記2次元座標に変換された画素情報を入力し、前記影生成レジスタからの前記影生成パラメータを用いて影の画素情報を生成し、該影の画素情報を前記画素処理部から入力した前記2次元座標に変換された画素情報と合成し、メモリ・コントローラに画素情報を出力する前記影生成回路と、

該影生成回路から出力された前記画素情報を一時保持し、フレーム・メモリへ出力する前記メモリ・コントローラと、

該メモリ・コントローラから前記画素情報を入力し、保持し、1画面分の画像情報を保持する前記フレーム・メモリとから構成される画像生成装置。

【請求項2】 描画対象オブジェクトの3次元座標データを入力し、隠面消去を行いながら、2次元座標に変換された画素情報を出力する画素処理部と、

前記画素処理部から前記描画対象オブジェクトの前記2次元座標に変換された画素情報を入力し、保持し、影生成回路により、任意のアドレスを与えられデータが読み出される影バッファと、

前記画素処理部から入力した背景用オブジェクトの2次元座標に変換された画素情報から前記影バッファのアドレスを算出し、前記影バッファから影データを読みだし、前記画素処理部から出力された前記2次元座標に変換された画素情報と前記影データとを重ねた結果をメモリ・コントローラに出力する影生成回路と、

該影生成回路から出力された前記画素情報を一時保持し、フレーム・メモリへ出力するメモリ・コントローラと、

該メモリ・コントローラから前記画素情報を入力し、保持し、1画面分の画像情報を保持するフレーム・メモリとから構成される画像生成装置。

【請求項3】 前記影生成回路は、

前記2次元座標に変換された画素情報を、所定の平行移動変換式により、影の画素情報に変換し、前記2次元座標に変換された画素情報と前記影の画素情報とをオブジェクトが影よりも優先するように合成して、2次元画素情報とする手段を有する請求項1または請求項2に記載の画像生成装置。

【請求項4】 前記画素処理部により、描画対象オブジェクトの3次元座標データを入力し、前記3次元座標データを隠面消去を行いながら、2次元画素情報に変換する段階と、

前記影生成回路により、前記画素処理部から前記2次元

座標に変換された画素情報を入力し、前記影生成レジスタからの前記影生成パラメータを用いて影の画素情報を生成し、該影の画素情報を前記画素処理部から入力した前記2次元座標に変換された画素情報と合成し、メモリ・コントローラに画素情報を出力する段階と、

前記メモリ・コントローラにより、前記影生成回路から出力された前記画素情報を一時保持し、フレーム・メモリへ出力する段階と、

前記フレーム・メモリにより、前記メモリ・コントローラから前記画素情報を入力し、保持し、1画面分の画像情報を保持する段階とを有する請求項1に記載の画像生成装置の画像生成方法。

【請求項5】 前記画素処理部により、描画対象オブジェクトの3次元座標データを入力し、前記3次元座標データを隠面消去を行いながら、2次元画素情報に変換する段階と、

前記前記影バッファにより、前記画素処理部から前記描画対象オブジェクトの前記2次元座標に変換された画素情報を入力し、保持する段階と、

前記影生成回路により、前記画素処理部から入力した背景用オブジェクトの2次元座標に変換された画素情報から前記影バッファのアドレスを算出し、前記影バッファから影データを読みだし、前記画素処理部から出力された前記2次元座標に変換された画素情報と前記影データとを重ねた結果を前記メモリ・コントローラに出力する段階と、

前記メモリ・コントローラにより、前記影生成回路から出力された前記画素情報を一時保持し、前記フレーム・メモリへ出力する段階と、

前記フレーム・メモリにより、前記メモリ・コントローラから前記画素情報を入力し、保持し、1画面分の画像情報を保持する段階とを有する請求項2に記載の画像生成装置の画像生成方法。

【請求項6】 前記影生成回路により、

前記2次元座標に変換された画素情報を、所定の平行移動変換式により、影の画素情報に変換し、前記2次元座標に変換された画素情報と前記影の画素情報とをオブジェクトが影よりも優先するように合成して、2次元画素情報とする段階を有する請求項4または請求項5に記載の画像生成装置の画像生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像生成装置及びその画像生成方法に関する。

【0002】

【従来の技術】3次元CGにおいて、3次元画像で作られたシーンに臨場感を与える為、オブジェクトに影を付けることがある。通常、影の描画は影用のポリゴンを作成し、影を作るオブジェクトとは別に描画するか、レイトレーシングなどの手法で光線の演算を行い、影を生成

する。

【0003】図5は従来の技術の回路の構成図である。

【0004】一般に、影の生成は座標系を変換する時に行われる。ワールド座標系にあるオブジェクトを視点座

$$\begin{bmatrix} x & y & z & 1 \end{bmatrix} \begin{bmatrix} a & b & c & 0 \\ d & e & f & 0 \\ g & h & i & 0 \\ t_x & t_y & t_z & 1 \end{bmatrix} = \begin{bmatrix} x^t & y^t & z^t & 1 \end{bmatrix} \quad \dots (1)$$

【0006】

$$x^t = ax + dy + gz + t_x$$

$$y^t = bx + ey + hz + t_y$$

$$z^t = cx + fy + iz + t_z$$

... (2)

【0007】

【発明が解決しようとする課題】従来の技術の特開平4-65780号公報に開示された方法をハードウェアで実現するには、式(2)の計算を視点からの座標系と、光源からの座標系の2回行う必要がある。

【0008】また、上記の式のみではなく、隠面消去も2回行う必要がある。

【0009】影用ポリゴンを用いる場合は、複雑な影を描画した方が臨場感が出るが、複雑な影を描画するには、オブジェクトと同程度のポリゴン数が必要とされ、結果的に3DCG描画エンジンの性能を低下させてしまう。

【0010】また、他の従来の技術としては、特開平9-35087号公報に開示された方法などがあるが、いずれの場合も、3次元空間で演算を行っており、ハードウェアによって3次元画像を2次元に変換した後に影を描画する方法はない。

【0011】即ち、従来の3次元座標空間で生成する影の描画は、3DCG描画エンジンに高い負荷をかけていた。本発明の目的は、3次元座標空間で行っていた影の描画を2次元座標空間で行う事により、3DCG描画エンジンへの負荷を低減させる画像生成装置及びその画像生成方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の画像生成装置は、描画対象オブジェクトの3次元座標データを入力し、隠面消去を行いながら、2次元座標に変換された画素情報を出力する画素処理部と、外部から設定される影生成パラメータを保存し、影生成回路の要求により、保存している影生成パラメータを出力する影生成レジスタと、画素処理部から2次元座標に変換された画素情報を入力し、影生成レジスタからの影生成パラメータを用いて影の画素情報を生成し、影の画素情報を画素処理部から入力した2次元座標に変換された画素情報と合成し、

標系に変換するには、式(2)の計算が必要になる。

【0005】

【数1】

【数2】

メモリ・コントローラに画素情報を出力する影生成回路と、影生成回路から出力された画素情報を一時保持し、フレーム・メモリへ出力する前記メモリ・コントローラと、メモリ・コントローラから画素情報を入力し、保持し、1画面分の画像情報を保持するフレーム・メモリとから構成される。

【0013】また、描画対象オブジェクトの3次元座標データを入力し、隠面消去を行いながら、2次元座標に変換された画素情報を出力する画素処理部と、画素処理部から描画対象オブジェクトの2次元座標に変換された画素情報を入力し、保持し、影生成回路により、任意のアドレスを与えられデータが読み出される影バッファと、画素処理部から入力した背景用オブジェクトの2次元座標に変換された画素情報から影バッファのアドレスを算出し、影バッファから影データを読みだし、画素処理部から出力された2次元座標に変換された画素情報と影データとを重ねた結果をメモリ・コントローラに出力する影生成回路と、影生成回路から出力された画素情報を一時保持し、フレーム・メモリへ出力するメモリ・コントローラと、メモリ・コントローラから画素情報を入力し、保持し、1画面分の画像情報を保持するフレーム・メモリとから構成されていてもよい。

【0014】また、影生成回路は、2次元座標に変換された画素情報を、所定の平行移動変換式により、影の画素情報に変換し、2次元座標に変換された画素情報と影の画素情報とをオブジェクトが影よりも優先するように合成して、2次元画素情報とする手段を有してもよい。

【0015】本発明の画像生成装置の画像生成方法は、画素処理部により、描画対象オブジェクトの3次元座標データを入力し、3次元座標データを隠面消去を行いながら、2次元画素情報に変換する段階と、影生成回路により、画素処理部から2次元座標に変換された画素情報を入力し、影生成レジスタからの影生成パラメータを用いて影の画素情報を生成し、影の画素情報を画素処理部

から入力した2次元座標に変換された画素情報と合成し、メモリ・コントローラに画素情報を出力する段階と、メモリ・コントローラにより、影生成回路から出力された画素情報を一時保持し、フレーム・メモリへ出力する段階と、フレーム・メモリにより、メモリ・コントローラから画素情報を入力し、保持し、1画面分の画像情報を保持する段階とを有する。

【0016】また、画素処理部により、描画対象オブジェクトの3次元座標データを入力し、3次元座標データを隠面消去を行いながら、2次元画素情報に変換する段階と、影バッファにより、画素処理部から描画対象オブジェクトの2次元座標に変換された画素情報を入力し、保持する段階と、影生成回路により、画素処理部から入力した背景用オブジェクトの2次元座標に変換された画素情報から影バッファのアドレスを算出し、影バッファから影データを読みだし、画素処理部から出力された2次元座標に変換された画素情報と影データとを重ねた結果をメモリ・コントローラに出力する段階と、メモリ・コントローラにより、影生成回路から出力された画素情報を一時保持し、フレーム・メモリへ出力する段階と、フレーム・メモリにより、メモリ・コントローラから画素情報を入力し、保持し、1画面分の画像情報を保持する段階とを有してもよい。

【0017】また、影生成回路により、2次元座標に変換された画素情報を、所定の平行移動変換式により、影の画素情報に変換し、2次元座標に変換された画素情報と影の画素情報とをオブジェクトが影よりも優先するように合成して、2次元画素情報とする段階を有してもよい。

【0018】即ち、本発明の回路は、画素処理部（ラスタライザともいう）によって、3次元座標空間にあった3Dオブジェクトを2次元スクリーン座標に変換した後のデータから、影の生成を行う「影生成回路」を有する事を特徴とする。

【0019】従来は、3次元空間上で行われていた影の演算を、本発明では2次元空間で行う事により、影を含んだ3次元シーンの描画を高速かつ低コストで行う事ができる。

【0020】

【発明の実施の形態】（発明の第一の実施の形態）図1は、本発明の第一の実施の形態の回路の構成図である。

【0021】図1を参照して本発明の第一の実施の形態

$$x^t = x + c (y - y_{\text{bottom}})$$

$$y^t = y$$

【0034】また、影生成回路3によって図2（B）の変換された2次元画素情報と図2（C）の影画素情報はオブジェクトが影よりも優先されるように合成されて、図2（D）のような2次元画素情報となる。

【0035】上記の処理の影生成回路3で行われる影の

の回路の構成を説明する。

【0022】画素処理部1は、描画対象オブジェクトの3次元座標データを入力し、隠面消去を行いながら、2次元座標に変換された画素情報を出力する。

【0023】影生成レジスタ2は、外部から設定される影生成パラメータを保存し、影生成回路3の要求により、保存しているパラメータを出力する。

【0024】影生成回路3は、画素処理部1から2次元座標に変換された画素情報を入力し、影の画素情報を生成する。この影の画素情報を画素処理部1から入力した2次元に変換された画素情報と合成し、メモリ・コントローラ4に画素情報を出力する。

【0025】メモリ・コントローラ4は、影生成回路3から出力された画素情報を一時保持し、フレーム・メモリ5へ出力する。

【0026】フレーム・メモリ5は、メモリ・コントローラ4から画素情報を入力し、これを保持する。結果的に、フレーム・メモリ5には、1画面分の画像情報が保持される事になる。

【0027】図2は本発明の第1の実施の形態の回路の影の生成方法の説明図である。

【0028】図1と図2を参照しながら動作を説明する。

【0029】画素処理部1によって、3次元座標空間にあった3Dオブジェクト（図2・A）を2次元スクリーン座標に変換した後のデータから、影の生成を行う影生成回路3を有する事を特徴とする。

【0030】従来は、3次元空間上で行われていた影の演算を、2次元空間で行う事により、影を含んだ3次元シーンの描画を高速かつ低コストで行う事ができる。

【0031】図2を参照すると、始めに、図2（A）に示すような3次元ポリゴン情報が画素処理部1に入力される。画素処理部1は、そのデータを図2（B）のように2次元画素情報に変換する。

【0032】図2（B）の変換された2次元画素情報は、影生成回路3によって、図2（C）のような、影画素情報に変換される。このときの平行移動量は、影生成レジスタ2に保存されている。このときの影の変換に用いられる式は、式（3）に示すような簡単な式で変換される。

【0033】

【数3】

$$\dots (3)$$

生成処理は、各画素毎に行われる。

【0036】（発明の第2の実施の形態）図3は、本発明の第2の実施の形態の回路の構成図である。

【0037】図3を参照すると、画素処理部1は、描画対象オブジェクトの3次元座標データを入力し、隠面消

去を行いながら、2次元座標に変換された画素情報を出力する。

【0038】影バッファ7は、画素処理部1から描画対象オブジェクトの2次元座標に変換された画素情報を入力し、保持する。また、影バッファ7に任意のアドレスを与える事で、データを読み出すことができる。

【0039】影生成回路6は、画素処理部1から入力した背景用オブジェクトの2次元座標に変換された画素情報から影バッファ7のアドレスを算出し、影バッファ7から影データを読み出す。そして、画素処理部1から出力された2次元座標に変換された画素情報と影データを重ねた結果をメモリ・コントローラ4に出力する。

【0040】メモリ・コントローラ4は、影生成回路6から出力された2次元画素情報を一時保持し、フレーム・メモリ5へ出力する。

【0041】フレーム・メモリ5は、メモリ・コントローラ4から画素情報を入力し、これを保持する。結果的に、フレーム・メモリ5には1画面分の画像情報が保持される事になる。

【0042】3次元座標空間にあった3次元オブジェクトを、画素処理部1によって2次元スクリーン座標に変換した後のデータから、影の生成を行う影生成回路6と影バッファ7を有する事を特徴とする。

【0043】本方式により、従来は3次元空間上で行われていた影の演算を、2次元空間の座標演算で行う事が出来るため、影を含んだ3次元シーンの描画を高速かつ低コストで行う事が可能となる。

【0044】図4は本発明の第2の実施の形態の回路の影の生成方法の説明図である。

【0045】図3と図4を参照しながら動作を説明する。

【0046】図4(A)のような3次元オブジェクトに影を付け、図4(E)のような画像を生成する方法を説明する。

【0047】第2の実施の形態では、オブジェクトの描画と影の描画は異なるタイミングで行われる。

【0048】オブジェクトの描画タイミングでは、始めに、図4(A)に示すような3次元ポリゴン情報が画素処理部1に入力される。画素処理部1は、隠面消去を行いながら、2次元座標に変換された画素情報を影生成回路6と影バッファ7に送る。影生成回路6に送られたデータは、メモリコントローラ4を通り、フレーム・メモリ5上に図4(B)のように保存される。影バッファ7に送られたデータは、図4(C)のように、保存される。

【0049】次に、背景用オブジェクトの描画タイミングでは、図4(D)のような背景となる3次元ポリゴン情報が画素処理部1に入力される。画素処理部1は、隠面消去を行いながら、2次元座標に変換された画素情報を影生成回路6に送る。

【0050】影生成回路6は、画素処理部1から送られた2次元に変換された画素情報から影バッファ7のアドレスを算出し、2次元に変換された画素情報と影バッファ7の内容を合成し、メモリ・コントローラ4に出力する。

【0051】メモリ・コントローラ4は、影生成回路6より入力した、影と合成された画素情報を入力し、そのデータをフレーム・メモリ5へ順次書き込みます。これらの画素情報は、フレーム・メモリ5に保存される。

【0052】背景用オブジェクトは、フレーム・メモリ5に書き込まれる。結果的に、フレーム・メモリ5には、図4(E)のような画像情報が保持される事になる。

【0053】

【発明の効果】以上説明したように、本発明の回路は、画素処理部によって、3次元座標空間にあった3Dオブジェクトを2次元スクリーン座標に変換した後のデータから、影の生成を行う“影生成回路”を有する事により、従来は、3次元空間上で行われていた影の演算を、本発明では2次元空間で行う事により、影を含んだ3次元シーンの描画を高速かつ低コストで行う事ができるといふ効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の回路の構成図である。

【図2】本発明の第1の実施の形態の回路の影の生成方法の説明図である。

【図3】本発明の第2の実施の形態の回路の構成図である。

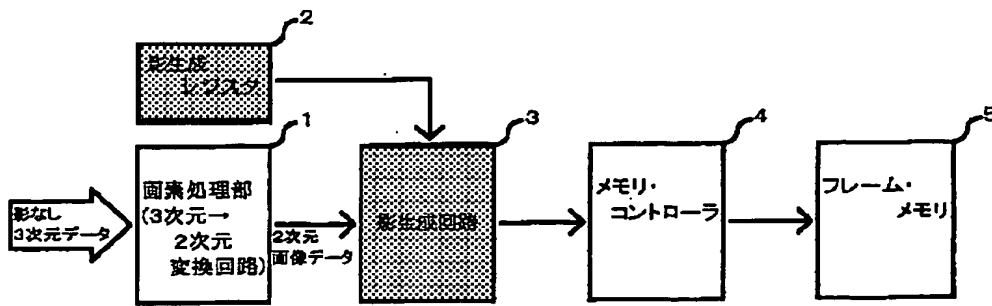
【図4】本発明の第2の実施の形態の回路の影の生成方法の説明図である。

【図5】従来の技術の回路の構成図である。

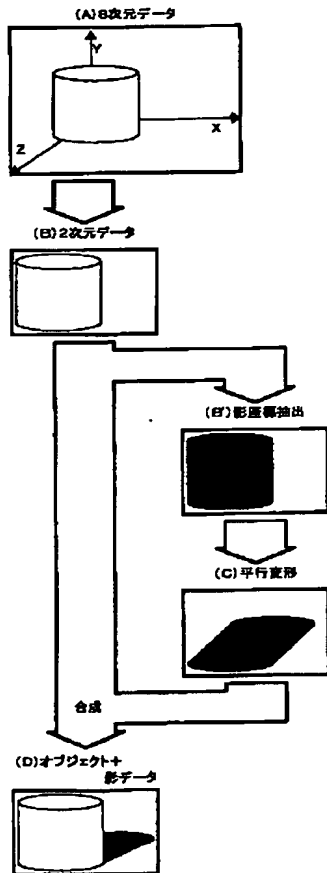
【符号の説明】

- 1 画素処理部
- 2 影生成レジスタ
- 3、6 影生成回路
- 4 メモリ・コントローラ
- 5 フレーム・メモリ
- 7 影バッファ
- 8 影生成処理部

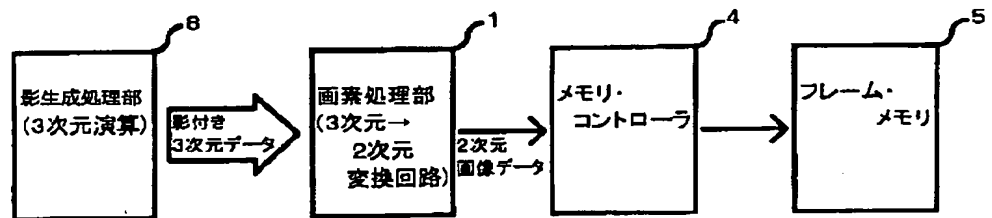
【図1】



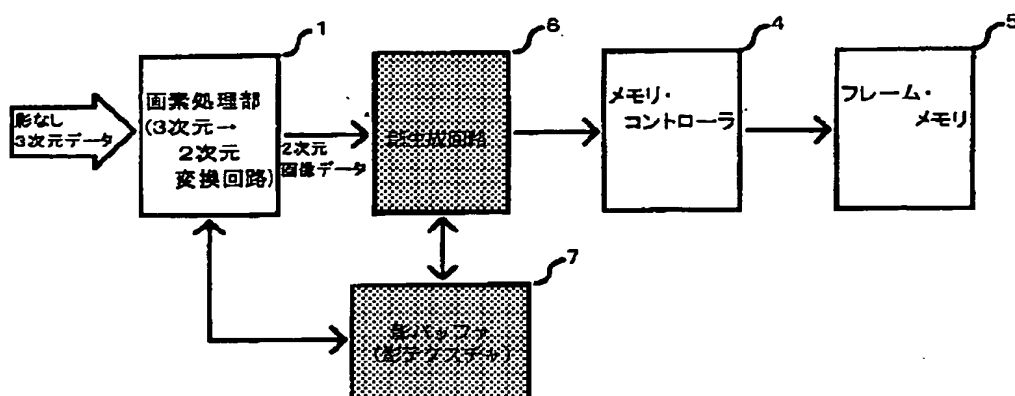
【図2】



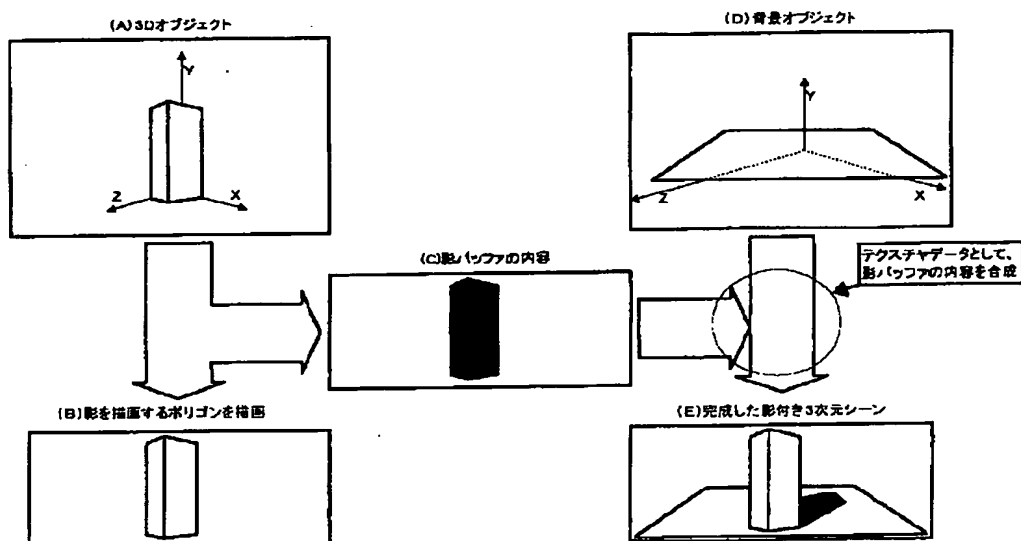
【図5】



【図3】



【図4】



フロントページの続き

(72) 発明者 松井 義隆
神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

Fターム(参考) 5B080 GA01 GA11